

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-218856

(43)Date of publication of application : 27.08.1993

(51)Int.Cl.

H03L 7/089

H03L 7/06

(21)Application number : 04-019735

(71)Applicant : NEC CORP

NIPPON DENKI

TRANSMISSION ENG KK

(22)Date of filing :

05.02.1992

(72)Inventor : TADA HIROYUKI

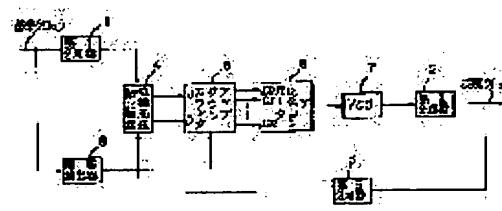
MIZUNO MAKOTO

(54) DIGITAL CHARGE PUMP TYPE PLL CIRCUIT

(57)Abstract:

PURPOSE: To prevent the fluctuation of the follower clock frequency despite the fault of a reference clock.

CONSTITUTION: When a reference clock has a fault, a fault detector 8 detects this fault and at the same time forcibly sets the output value of an up-down counter 5 at the digital value equivalent to the center frequency of a VCO 7. This digital value is converted into the analog voltage value by a D/A converter 6 and inputted to the VCO 7. The output frequency of the VCO 7 is fixed at the center frequency.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-218856

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 03 L 7/089 7/06	9182-5 J	H 03 L 7/ 08		D
	9182-5 J	7/ 06		B

審査請求 未請求 請求項の数1(全3頁)

(21)出願番号 特願平4-19735

(22)出願日 平成4年(1992)2月5日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71)出願人 000232128

日本電気トランスマッショングエンジニアリング株式会社

東京都港区三田1丁目4番28号

(72)発明者 多田 弘行

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 弁理士 岩佐 義幸

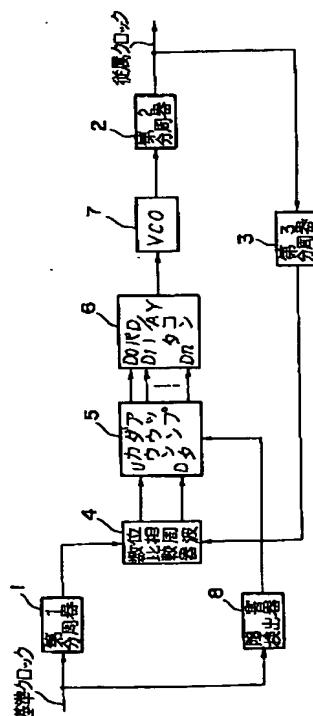
最終頁に続く

(54)【発明の名称】 デジタルチャージポンプ式PLL回路

(57)【要約】

【目的】 基準クロックが障害を起こしても、従属クロックの周波数が変動しないようにすることにある。

【構成】 基準クロックに障害が発生すると、障害検出器8が障害を検出すると同時にアップダウンカウンタ5の出力値を、強制的に、VCO7の中心周波数に相当したデジタル値にセットする。そのデジタル値はD/Aコンバータ6によってアナログ値の電圧に変換され、その電圧はVCO7に入力され、VCO7の出力の周波数は中心周波数に固定される。



【特許請求の範囲】

【請求項1】入力する電圧によって出力する周波数を制御する電圧制御発振器（以下、「VCO」という。）と、第1分周器によって分周された基準クロックとVCOの出力を第2分周器及び第3分周器によって分周した信号との位相を比較し、信号間に位相差がある場合は、その差に比例した数の（+）のパルスあるいは（-）のパルスを出力する位相周波数比較器と、その（+）あるいは（-）のパルスの数をカウントし、そのカウント結果をデジタル値として出力するアップダウンカウンタと、そのデジタル値をアナログ値に変換するD/Aコンバータと、基準クロックの障害を検出し基準クロックの障害時にアップダウンカウンタの出力をVCOの中心周波数に相当するデジタル値にセットする障害検出回路とを設けたことを特徴とするデジタルチャージポンプ式PLL回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、PLL（位同期ループ）回路に関し、特に、デジタルチャージポンプ式PLL回路に関する。

【0002】

【従来の技術】従来のデジタルチャージポンプ式PLL回路は、図2に示すように、基準クロックを分周する第1分周器1と、VCO（電圧制御発振器）7の出力を分周する第2分周器2及び第3分周器3と、第1分周器1の出力と第3分周器3の出力の位相を比較し、前者が後者にくらべて進んでいる場合には、その位相差に比例した数の（+）パルスを出力し、前者が後者にくらべて遅れている場合には、その位相差に比例した数の（-）パルスを出力する位相周波数比較器4と、その（+），（-）のパルスを積分して電圧に変換するチャージポンプ8と、高域遮断特性を持つループフィルタ9と、入力電圧に対応した周波数を出力するVCO7とを有している。

【0003】次に動作について説明する。基準クロックは、第1分周器1により $1/N_1$ に分周され、VCO7の出力は、第2分周器2により $1/N_2$ に分周され第3分周器3により $1/N_3$ に分周され、それぞれ、位相周波数比較器4に入力される。位相周波数比較器4に入力された信号は、位相が比較され、ここで、もし2信号間に位相差がある場合には、（+）あるいは（-）のパルスが出力され、チャージポンプ8及びループフィルタ9を通り、位相差が電圧に変換され、その差を打ち消すよう、VCO7の出力周波数をVCO7の入力電圧によって制御する。その結果、基準クロックに同期した従属クロックが得られる。

【0004】

【発明が解決しようとする課題】この従来のデジタルチャージポンプ式PLL回路では、基準クロックの障害

時、チャージポンプ5からの出力が断たれるため、VCO7に入力される電圧が変化し、従属クロックの周波数が変動するという問題点があった。

【0005】本発明の目的は、基準クロックが障害を起こしても、従属クロックの周波数が変動しないようにすることにある。

【0006】

【課題を解決するための手段】上記目的を達成するため、本発明は、入力する電圧によって出力する周波数を制御するVCOと、第1分周器によって分周された基準クロックとVCOの出力を第2分周器及び第3分周器によって分周した信号との位相を比較し、信号間に位相差がある場合は、その差に比例した数の（+）のパルスあるいは（-）のパルスを出力する位相周波数比較器と、その（+）あるいは（-）のパルスの数をカウントし、そのカウント結果をデジタル値として出力するアップダウンカウンタと、そのデジタル値をアナログ値に変換するD/Aコンバータと、基準クロックの障害を検出し基準クロックの障害時にアップダウンカウンタの出力をVCOの中心周波数に相当するデジタル値にセットする障害検出回路とを設けたことを特徴とするデジタルチャージポンプ式PLL回路。

【0007】

【実施例】次に、本発明について、図面を参照して説明する。

【0008】図1は、本発明の一実施例のデジタルチャージポンプ式PLL回路を示す図である。図1において、基準クロックが平常動作をしているときは、第1分周器1によって $1/N_1$ に分周された基準クロックと、第2分周器2及び第3分周器3によって $1/(N_2 \times N_3)$ に分周されたVCO7の出力は、位相周波数比較器4に入力される。位相周波数比較器4に入力された信号間に位相差がある場合は、その差に比例した数の（+）のパルス（基準クロックがVCO7の出力に比べ速い）あるいは（-）のパルス（基準クロックがVCO7の出力に比べ遅い）が出力される。その（+）あるいは（-）のパルス数は、アップダウンカウンタ5でカウントされ、そのカウント結果は、デジタル値となる。そのデジタル値はD/Aコンバータ6でアナログ値の電圧に変換され、その電圧は、前記位相差を打ち消すよう、VCO7の出力周波数を制御する。

【0009】基準クロックに障害が発生すると、障害検出器8が障害を検出すると同時にアップダウンカウンタ5の出力値を、強制的に、VCO7の中心周波数に相当したデジタル値にセットする。そのデジタル値は、D/Aコンバータ6によってアナログ値の電圧に変換され、その電圧はVCO7に入力され、VCO7の出力の周波数は中心周波数に固定される。

【0010】

【発明の効果】以上説明したように、本発明は、基準クロックに障害が発生した場合、障害検出器によってアッ

プダウンカウンタの出力が、VCOの中心周波数に対応したディジタル値にセットされるので、VCOの出力は、中心周波数に固定され、周波変動のない従属クロックを得ることができるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例のディジタルチャージポンプ式PLL回路を示す図である。

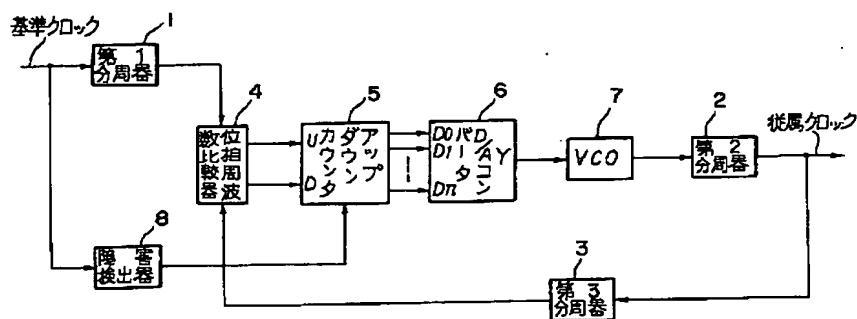
【図2】従来のディジタルチャージポンプ式PLL回路を示す図である。

* 【符号の説明】

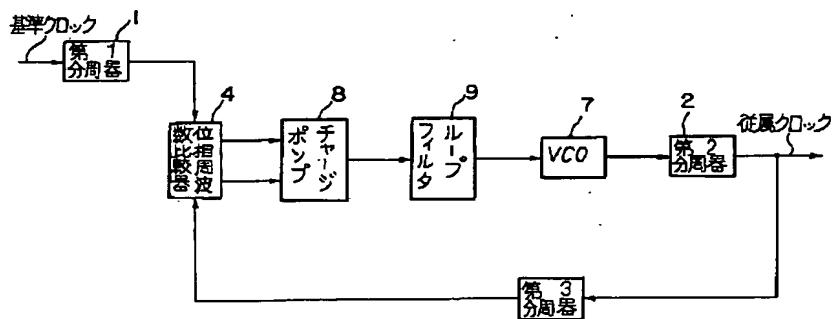
- 1 第1分周器
- 2 第2分周器
- 3 第3分周器
- 4 位相周波数比較器
- 5 アップダウンカウンタ
- 6 D/Aコンバータ
- 7 VCO

*

【図1】



【図2】



フロントページの続き

(72)発明者 水野 真

東京都港区三田一丁目4番28号 日本電気
トランスマッisionエンジニアリング株式
会社内